

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-112638

(43) 公開日 平成10年(1998) 4月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 K 3/84

H 0 3 K 3/84

Z

G 0 1 R 29/26

G 0 1 R 29/26

F

31/00

31/00

審査請求 未請求 請求項の数2 F D (全 21 頁)

(21) 出願番号

特願平8-283036

(22) 出願日

平成8年(1996)10月4日

(71) 出願人 000000572

アンリツ株式会社

東京都港区南麻布5丁目10番27号

(72) 発明者 内野 政治

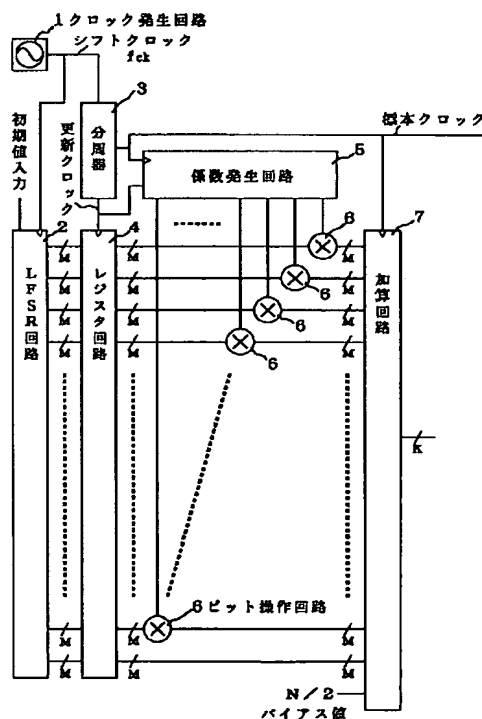
東京都港区南麻布五丁目10番27号 アンリツ株式会社内

(54) 【発明の名称】 雑音発生装置

(57) 【要約】

【課題】 正確な雑音電力密度の雑音を発生することができるとともに、実用に供することができる標本化速度をもつ雑音発生装置を実現する。

【解決手段】 クロック発生回路1からのシフトクロックMN個ごとに線型帰還シフトレジスタ回路2から発生するM系列を、前記シフトクロックを分周器3でMN分周した更新クロックごとにレジスタ回路4で記憶し、前記シフトクロックを分周器3でM分周した標本クロックごとに係数発生回路5から発生される係数で指示されるビット操作を、ビット操作回路6で前記記憶したM系列に施し、加算回路7で総和をとったデータを前記標本クロックごとに出力する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 所定の周波数のシフトクロックを発生するクロック発生回路（１）と、

複数のフリップフロップを含み、前記シフトクロックをクロック入力として第２の所定の整数組の所定のビット数を有する並列出力を出力する線型帰還シフトレジスタ回路（２）と、

前記シフトクロックを受けて、該シフトクロックの周波数を第１の所定の整数分の１に分周した標本クロックおよび該標本クロックの周波数を前記第２の所定の整数分の１に分周した更新クロックを発生する分周器（３）と、

前記第２の所定の整数よりも１だけ少ない個数の２つの状態のうちのいずれか１つの状態を示す２値の係数からなっており、かつ、該係数の順列の先頭に所定の状態を示す１個の係数を付加したものが互いに直交するような係数の組を、前記第２の所定の整数と等しい組数、前記標本クロック毎に順次１組ずつ繰り返し出力する係数発生回路（５）と、

前記線型帰還シフトレジスタ回路の前記第２の所定の整数組の並列出力および前記更新クロックを受けて、該更新クロック毎に状態が更新された前記第２の所定の整数組の並列出力を出力するレジスタ回路（４）と、

各々が係数入力と前記所定のビット数の並列入力および前記所定のビット数の並列出力とを有し、並列入力に前記レジスタ回路の並列出力を受け、かつ、係数入力に前記係数出力を受けて、係数入力値に応じた演算を並列入力値に施し、結果を並列出力値として出力する、前記第２の所定の整数よりも１だけ少ない個数のビット操作回路（６）と、

前記レジスタ回路の並列出力のうち前記ビット操作回路に接続されていない１組の並列出力および前記ビット操作回路の並列出力を受けて、それらの並列出力値の総和に所定のバイアス値を加える演算を行う加算回路（７）とを備えた雑音発生装置。

【請求項 2】 所定の周波数のシフトクロックを発生するクロック発生回路（１）と、

複数のフリップフロップを含み、前記シフトクロックをクロック入力として第２の所定の整数組の所定のビット数を有する並列出力を出力する線型帰還シフトレジスタ回路（２）と、

前記シフトクロックを受けて、該シフトクロックの周波数を第１の所定の整数分の１に分周した標本クロックおよび該標本クロックの周波数を前記第２の所定の整数分の１に分周した更新クロックを発生する分周器（３）と、

前記第２の所定の整数よりも１だけ少ない個数の２つの状態のうちのいずれか１つの状態を示す２値の係数からなっており、かつ、該係数の順列の先頭に所定の状態を示す１個の係数を付加したものが互いに直交するような

10

20

30

40

50

係数の組を、前記第２の所定の整数と等しい組数、前記標本クロック毎に順次１組ずつ繰り返し出力する係数発生回路（５）と、

前記線型帰還シフトレジスタ回路の前記第２の所定の整数組の並列出力および前記更新クロックを受けて、該更新クロック毎に状態が更新された前記第２の所定の整数組の並列出力を出力するレジスタ回路（４）と、

各々が係数入力と前記所定のビット数の並列入力および前記所定のビット数の並列出力とを有し、並列入力に前記レジスタ回路の並列出力を受け、かつ、係数入力に前記係数出力を受けて、係数入力値に応じた演算を並列入力値に施し、結果を並列出力値として出力する、前記第２の所定の整数よりも１だけ少ない個数のビット操作回路（６）と、

前記レジスタ回路の並列出力のうち前記ビット操作回路に接続されていない１組の並列出力および前記ビット操作回路の並列出力を受けて、それらの並列出力値の総和に所定のバイアス値を加える演算を行う加算回路（７）と、

所定周波数の波形を標本化した標本値を、前記標本クロックに同期して出力する波形発生回路（８）と、前記波形発生回路の出力と前記加算回路の出力のうちのいずれか一方を切換信号に応じて選択し出力するマルチプレクサ（９）とを備えた雑音発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば正弦波出力状態における電力から該正弦波の周波数における雑音電力密度が既知となる雑音発生装置に関する。信号は、正弦波に限らず、決定論的な信号であれば適用できる。デジタル無線通信に利用される復調器の性能を評価するときにEb/N0 R対ビット誤り率特性がしばしば使われる。ここで、Eb/N0 Rとは、情報１ビット当たりの電力Ebを1Hz当たりの雑音電力密度N0で割ったものである。情報１ビット当たりの電力Ebは、情報伝送速度R[Hz]と信号電力C'とでEb=C'/Rと表せる。C'は電力計で測定でき、Rは設計値から既知の量であるから、情報１ビット当たりの電力Ebは求まる。一方、1Hz当たりの雑音電力密度N0は本発明の雑音発生装置から既知の量として発生できるので、

$$Eb/N0 R = Eb/N0$$

を正確に定めて発生でき、この状態でのビット誤り率を測定すれば、前記Eb/N0 R対ビット誤り率の特性が測定できる。この結果様々なデジタル通信用復調器の性能が評価できる。

【0002】

【従来の技術】 従来の雑音発生装置には、アナログ型とデジタル型とがあり、実用的なのはアナログ型の雑音発生装置である。アナログ型の従来の雑音発生装置は図２に示すようにノイズダイオード１４から発生する雑音

【0004】

$$\int_0^\infty |H(f)|^2 df = B_e$$

【0005】より、 $P = BeN_0 [W]$ となる。出力端子18における雑音の片側電力密度 $SN(f)$ は

【0006】

【数2】

$$SN(f) = P \times \frac{|H(f)|^2}{\int_0^\infty |H(f)|^2 df} \quad (W/Hz)$$

5 dB程度が補正の限界である。鎖状符号を用いたシステムに使用する場合、±0.05 dB程度が要求されるので、これでは対応できない。このように、アナログ型の従来の雑音発生装置には、正確な雑音電力密度の雑音を発生できないという問題点があった。

【0 0 0 8】

【数 3】

$$SN(f) \approx N_0 = P \times \frac{1}{B_e}$$

20 【0014】一方、デジタル型の従来の雑音発生装置では、アナログ型の持っている前記問題点、すなわち雑音の電力密度の温度変化・経年変化の問題点、は解消されているものの、レジスタ回路4のクロックは、前述のように分周器3によってシフトクロックから作られ、DAC10への入力は標準化速度がシフトクロックの周波数のMN分の1となる。したがって、標準化定理から、出力の帯域幅はシフトクロックの2MN分の1を超えることができないという問題点があった。標準化速度が遅くては、実用に供することができない。また、アナログ型

30 の従来の雑音発生装置に比べれば、確度の高い雑音電力密度の雑音を発生できるものの、DAC10の変動が含まれてしまうという問題点もあった。

【0010】次に、デジタル型の従来の雑音発生装置を図23で説明する。Lビットの線型帰還シフトレジスタ回路（以下、LFSR回路という。LFSR；Linear Feedback Shift Register）2からはM×Nビットのランダムパターンが生成され、レジスタ回路4にシフトクロックがM×Nクロックの間保留される。M×Nクロック経過すると、LFSR回路2から新しいランダムパターンが生成されるので、レジスタ回路4に保留されていたデータを更新できる。レジスタ回路4の出力はMビットずつNポートの整数値として、N入力加算器7に送られ、Mビットの整数N個の和がとられてKビットの整数としてDAC（デジタル／アナログ変換器）10に送られ、アナログ値に変換後出力される。レジスタ回路4へ入力されるクロックは分周器3によってシフトクロックから作られ、DAC10への入力基準速度がシフトクロックの周波数のMN分の1となる。

【0 0 1 1】

【発明が解決しようとする課題】 アナログ型の従来の雑音発生装置は、帯域フィルタの通過帯域内の伝達関数を完全に平坦にはできない。したがって、正確な雑音電力密度の雑音を発生するためには

【0 0 1 2】

【数 4】

$$|H(f)|^2$$

【0013】を予め測定し記憶して、補正しなければならない。仮に、挿入損失(数4)を記憶したとしても、これは温度や時間でかなり変化するので $\pm 0.3 \sim 0.7$ dB程度は補正しなくてはならない。

【0015】この発明の目的は、前述の問題点を解消し、正確な雑音電力密度の雑音を発生することができるとともに、実用に供することができる標準化速度をもつ雑音発生装置を実現することである。

【0 0 1 6】

【課題を解決するための手段】前記課題を解決するために、第1の発明の雑音発生装置は、発生される雑音の電力密度の経年変化、温度変化等を除去するために、デジタル的に白色雑音を発生させることとした。そして、デジタル的に白色雑音を発生させるに当たっては、LFSR回路と該LFSR回路のシフトクロックをMN分周したクロックでデータが更新されるレジスタ回路とを用いて(Mビット/チャンネル)×Nチャンネルのビットで表される一様乱数(M系列)を発生させ、標本化速度を上げるために、N-1個の2状態の係数を発生する係数発生回路と前記NチャンネルのうちN-1個の各チャンネルに属するMビット単位でビットを操作するビット操作回路とを用いて、各チャンネルに対応する前記係数の

状態に基づいてビット操作を施した後、ビット操作が施された $N-1$ チャンネルの各 M ビットとビット操作が施されていない残り1チャンネルの M ビットと所定のバイアス値とを加算回路で加算して K ビットの信号として出力することとした。

【0017】すなわち、第1の発明の雑音発生装置は、所定の周波数のシフトクロックを発生するクロック発生回路と、複数のフリップフロップを含み、前記シフトクロックをクロック入力として第2の所定の整数組の所定のビット数を有する並列出力を出力する線型帰還シフトレジスタ回路と、前記シフトクロックを受けて、該シフトクロックの周波数を第1の所定の整数分の1に分周した標本クロックおよび該標本クロックの周波数を前記第2の所定の整数分の1に分周した更新クロックを発生する分周器と、前記第2の所定の整数よりも1だけ少ない個数の2つの状態のうちのいずれか1つの状態を示す2値の係数からなっており、かつ、該係数の順列の先頭に所定の状態を示す1個の係数を付加したものが互いに直交するような係数の組を、前記第2の所定の整数と等しい組数、前記標本クロック毎に順次1組ずつ繰り返し出力する係数発生回路と、前記線型帰還シフトレジスタ回路の前記第2の所定の整数組の並列出力および前記更新クロックを受けて、該更新クロック毎に状態が更新された前記第2の所定の整数組の並列出力を出力するレジスタ回路と、各々が係数入力と前記所定のビット数の並列入力および前記所定のビット数の並列出力とを有し、並列入力に前記レジスタ回路の並列出力を受け、かつ、係数入力に前記係数出力を受けて、係数入力値に応じた演算を並列入力値に施し、結果を並列出力値として出力する、前記第2の所定の整数よりも1だけ少ない個数のビット操作回路と、前記レジスタ回路の並列出力のうち前記ビット操作回路に接続されていない1組の並列出力および前記ビット操作回路の並列出力を受けて、それらの並列出力値の総和に所定のバイアス値を加える演算を行う加算回路とを備えている。

【0018】第2の発明の雑音発生装置ではさらに、DACの変動を除去するために、波形発生回路とマルチプレクサとを設けて所定周波数 f_0 で一定振幅の例えば正弦波信号を発生させ、マルチプレクサの切り換えにより前記正弦波信号を出力してその電力 C 〔W〕を測定して雑音の両側電力密度（以下、PSDという。）を求めることとした。

【0019】すなわち、第2の発明の雑音発生装置は、所定の周波数のシフトクロックを発生するクロック発生回路と、複数のフリップフロップを含み、前記シフトクロックをクロック入力として第2の所定の整数組の所定

$$x(i) \in \{-2^{M-1}, -2^{M-1} + 1, \dots,$$

$$-1, 0, 1, 2, \dots, 2^{M-1} - 1\}$$

のビット数を有する並列出力を出力する線型帰還シフトレジスタ回路と、前記シフトクロックを受けて、該シフトクロックの周波数を第1の所定の整数分の1に分周した標本クロックおよび該標本クロックの周波数を前記第2の所定の整数分の1に分周した更新クロックを発生する分周器と、前記第2の所定の整数よりも1だけ少ない個数の2つの状態のうちのいずれか1つの状態を示す2値の係数からなっており、かつ、該係数の順列の先頭に所定の状態を示す1個の係数を付加したものが互いに直交するような係数の組を、前記第2の所定の整数と等しい組数、前記標本クロック毎に順次1組ずつ繰り返し出力する係数発生回路と、前記線型帰還シフトレジスタ回路の前記第2の所定の整数組の並列出力および前記更新クロックを受けて、該更新クロック毎に状態が更新された前記第2の所定の整数組の並列出力を出力するレジスタ回路と、各々が係数入力と前記所定のビット数の並列入力および前記所定のビット数の並列出力とを有し、並列入力に前記レジスタ回路の並列出力を受け、かつ、係数入力に前記係数出力を受けて、係数入力値に応じた演算を並列入力値に施し、結果を並列出力値として出力する、前記第2の所定の整数よりも1だけ少ない個数のビット操作回路と、前記レジスタ回路の並列出力のうち前記ビット操作回路に接続されていない1組の並列出力および前記ビット操作回路の並列出力を受けて、それらの並列出力値の総和に所定のバイアス値を加える演算を行う加算回路と所定周波数の波形を標準化した標本値を、前記標本クロックに同期して出力する波形発生回路と、前記波形発生回路の出力と前記加算回路の出力のうちのいずれか一方を切換信号に応じて選択し出力するマルチプレクサとを備えている。

【0020】図1は第1の発明の原理図を、図2は第2の発明の原理図を示す。これらの図に基づいて作用を説明する。クロック発生回路1からのシフトクロックで駆動される L ビット長の $LF SR$ 回路2から L ビットの1様乱数を発生させる。必要な各チャンネルの1様乱数のビット数を M ビットとする。チャンネル数を N とする。必要な $M \times N$ ビットの1様乱数を得るためには、 $LF SR$ を $M \times N$ 回シフトさせればよい。中心極限定理から

$$Z = x(0) + x(1) + \dots + x(N-1) + [N/2]$$

はガウス分布する乱数になる。ここで、 $[N/2]$ は $N/2$ を超えない最大の整数とする。各 x は M ビットの2の補数形式の整数とし、 $i = 0, 1, 2, \dots, (N-1)$ において、

【0021】

【数5】

7

8

【0022】が成立する。 $x(i)$ は上記範囲に一樣分布する乱数である。従って、中心極限定理から、

$$E[Z] = 0$$

σ の2乗 $=E[Zの2乗] = (2のM乗) \times N / 12$ である。ここで、 E は平均値を与える函数である。ビット操作回路6において、 $x(i)$ を構成する全てのビットを論理否定したり、しなかったりする。あるいは、並

$$x'(i) \in \{-2^{M-1}, -2^{M-1} + 1, \dots,$$

$$-1, 0, 1, 2, \dots, 2^{M-1} - 1\}$$

【0024】加算回路7の出力は、

【数7】

【0025】

$$Z' = g(C_0, x(0)) + g(C_1, x(1)) + \dots$$

$$\dots + g(C_{N-1}, x(N-1)) + \{N/2\}$$

【0026】

$$y(i) = g(C_i, x(i))$$

【数8】

$$i = 0, 1, 2, \dots, N-1$$

【0027】は、加算回路7の入力を意味する。 C_i は係数入力であって、

と同一の分布をする。

【0028】

【0031】

【数9】

20 【数11】

$$x'(i) = g(1, x(i)) = y(i)$$

$$x(i) / 2^M = u(i)$$

【0029】

【0032】とすると、 $u(i)$ は $-1/2$ 以上 $1/2$ 以下で一樣分布をする乱数とみなすことができる。

【数10】

【0033】

$$x(i) = g(0, x(i)) = y(i)$$

【数12】

【0030】である。従って、 $y(i)$ もまた $x(i)$

$$w = (-1)^{c_0} u(0) + (-1)^{c_1} u(1) + \dots$$

$$\dots + (-1)^{c_{N-1}} u(N-1)$$

【0034】 $N \geq 4$ とし、 N 次のアダマール(Hadamard)行列を $H = [h_{ij}]$ とする。行列の転置行列を右上の T で表す。

30 【0038】であり、直交行列である。アダマール行列が存在すれば、 $h_{il} = h_{lj} = 1$ とすることができる。

【0035】

【0039】

【数13】

$$H^T = [h_{ij}]$$

【数15】

$$\frac{1}{N} HH^T = I$$

【0036】である。アダマール行列は、

【0037】

【0040】ここで、 I は N 次の単位行列を意味する。

【数14】

【0041】

$$h_{ij} \in \{-1, 1\}$$

【数16】

$$w_i = h_{i1} u(0) + h_{i2} u(1) + \dots + h_{iN} u(N-1)$$

【0042】とするとき、 w_i, w_j は直交する。期待値 E は

$$h_{ij} = (-1)^{c_{ij}}$$

【0043】

【0045】とし、係数発生回路5より時刻 t において、 $i = (\{t/T\} \bmod N) + 1, C_{i,2}, C_{i,3}, \dots, C_{i,N}$ の $N-1$ 個を並列に出力する。 T は標本クロックの周期である。 $C_{i,1}$ は常に1なので、あえて係数出力とする必要がない。単位標本時間 T が経過したとき、 i を1ずつ増加させ、 N 単位で巡回させる。 $N=12$ のときのアダマール行列の例と係数発生回路5

【数17】

$$E(w_i, w_j) = \begin{cases} 0 & (i \neq j) \\ \sigma^2 & (i = j) \end{cases}$$

【0044】

【数18】

50 からの $N-1$ ビットの出力を図3に示す。図3について

は、第1の実施の形態の係数発生回路5の説明の中で詳細に述べる。

【0046】

【数19】

$$Z_i = x(0) + g(C_{i2}, x(1)) + \dots \\ \dots + g(C_{iN}, x(N-1)) + (N/2)$$

【0047】は直交する。

【0048】

【数20】

$$E[Z_i Z_j] = \begin{cases} 0 & (i \neq j) \\ \sigma^2 & (i = j) \end{cases}$$

【0049】従って、 $M \times N$ ビットのLFSR回路2のシフトの間に N 標本の独立なガウス乱数が加算回路7から出力される。すなわち、 Z_1, Z_2, \dots, Z_N である。次の、

【0050】

【数21】

$$Z_{N+1}, Z_{N+2}, \dots, Z_{2N}$$

【0051】はLFSRを $M \times N$ ビットシフトさせてから発生させる。このことから、 Z_1 の発生速度はシフトクロックの周波数を $f_{ck} \text{ Hz}$ とすると f_{ck}/M 〔サンプリング/秒〕である。

【0052】以上の作用は第2の発明の雑音発生装置も同様である。第2の発明の雑音発生装置の作用をさらに説明する。所定周波数 f_0 における雑音のPSDは、

【0053】

【数22】

$$S_w(f_0) = T C \gamma^2$$

【0054】ここで、 γ はDAC10の入力における数値化雑音のRMS(実効値)と正弦波のRMSとの比である。したがって、まずマルチプレクサ9の切り換えを正弦波発生側とし、電力 C 〔W〕を電力計で測り数22によって $S_w(f_0)$ に変換し、マルチプレクサ9の切り換えを雑音発生側とすれば、DAC10の変動が除去された前記電力密度の雑音を発生させることができる。

【0055】図4の構成において、標本速度 $1/T$ で、 $0, 0, 0, \dots, 0, 1, 0, 0, \dots$ なる標本化インパルスを入力したときのDAC10以後、測定点12までの応答を $h(t)$ とする。DAC10以後の構成は線型回路なので、任意の系

$$a \sin(2\pi i f_0 T)$$

が入力される。 a は該正弦波の振幅であり、 f_0 は該正弦波の周波数である。 f_0 は、その絶対値が $1/(2T)$ より小である限り任意であって、校正点周波数と呼

$$S_c(f) = \frac{A(f)}{T^2} \cdot \frac{a^2}{2} \cdot \left\{ \frac{1}{2} \delta(f - f_0) + \frac{1}{2} \delta(f + f_0) \right\}$$

列、 $\dots, Z_{-2}, Z_{-1}, Z_0, Z_1, Z_2, \dots$ を標本速度 $1/T$ でDAC10に入力したときの測定点

12の応答は、

【0056】

【数23】

$$Z(t) = \sum_{i=-\infty}^{\infty} Z_i \cdot h(t - iT)$$

【0057】となる。 $h(t)$ の周波数応答 $H(f)$ は、

【0058】

【数24】

$$H(f) = \int_{-\infty}^{\infty} h(t) e^{-j2\pi ft} dt$$

【0059】である。電力増幅率 $A(f)$ を

【0060】

【数25】

$$A(f) = |H(f)|^2$$

【0061】とする。 Z_i が $E[Z_i] = 0$

【0062】

【数26】

$$E[Z_i Z_j] = \begin{cases} 0 & (i \neq j) \\ \sigma^2 & (i = j) \end{cases}$$

【0063】であるとき、 $Z(t)$ のPSDは

【0064】

【数27】

$$S_w(f) = \frac{A(f)}{T} \sigma^2 \quad [\text{W/Hz}]$$

【0065】となる。すなわち、図5の構成において、切り換え信号をマルチプレクサ9が雑音側に接続されるように選択したとき測定点12におけるPSDは $S_w(f)$ となる。マルチプレクサ9が正弦波側に接続されるよう切り換え信号を選ぶと、DAC10には標本化速度 $1/T$ の

$$i = \dots, -1, 0, 1, 2, \dots$$

ぶ。このときの、測定点12のPSDは

【0066】

【数28】

【0067】である。ここで、 $\delta(f)$ はディラックのデルタ関数である。測定点12における電力Cは、この

$$C = [A(f_0) / (T \text{ の } 2 \text{ 乗})] \times [(a \text{ の } 2 \text{ 乗}) / 2] \quad [W]$$

である。電力Cは電力計13で測る。これから直ちに、校正周波数 f_0 における雑音のPSDは

【0068】

【数29】

$$S_w(f_0) = TC\gamma^2$$

【0069】と決定する。これは、片側雑音電力密度 $N_0 = 2TC(\gamma \text{ の } 2 \text{ 乗})$ に相当する。ここで、 $\gamma = \sigma / (a / \sqrt{2}) = (\text{DAC入力雑音のRMS値}) / (\text{DAC入力正弦波のRMS値})$ は a 、 σ が定数なので、定数である。 $N = 12$ では $a = 6\sigma$ 程度にする。 $(\gamma \text{ の } 2 \text{ 乗}) = 0.055$ となる。目的の周波数付近に f_0 を選び、切り換え信号を正弦波とし測定点12でCを測定し、切り換え信号を雑音とすれば、 $TC(\gamma \text{ の } 2 \text{ 乗})$ のPSDの雑音が f_0 付近に発生する。以下、具体的に実施の形態を説明する。

【0070】

【発明の実施の形態】本発明の第1の実施の形態は第1の発明を実施する形態であり、全体の構成としては図6に示すものである。図6に示す各部の詳細は、LFSR回路2については図7、分周器3については図8、係数発生回路5については図9、ビット操作回路6については図10、加算回路7については図11にそれぞれ示す。図6に示す他の各部、クロック発生回路1、レジスタ回路4については周知技術であるからその詳細は省略する。

【0071】本実施例では、 $L = 95$ 、 $N = 12$ 、 $M = 5$ （中心極限定理： N が12だとほとんど完全なガウス分布になる。DACのビット数が8、 $N/2$ は6で3ビット未満だから5としている。）とする。標準化速度 $1/T$ はシフトクロックの周波数の5分の1である。

【0072】まず、図6に基づいて、全体の構成とその動作を説明する。クロック発生回路1の出力はLFSR回路2と分周器3に接続され、分周器3の2つの出力のうち一方は係数発生回路5の更新クロック入力とレジスタ回路4の共通クロック入力に、他方は係数発生回路5の標本クロック入力に接続されている。LFSR回路2にはクロック発生回路1のシフトクロックの他図示しない外部の入力手段から初期値データ、初期値クロックおよび初期化選択の各信号から成る初期値入力が入力されるようになっている。前記LFSR回路2の平行出力はレジスタ回路4の平行入力に接続されている。該レジスタ回路4の平行出力 M ビット $\times N$ 組は $N - 1$ 個のビット操作回路6の平行入力に各々 M ビットずつ接続され、残りの M ビットは加算回路7に接続されている。係数発生回路5には前記分周器3からの入力の他、図示しない外部の入力手段から初期値データが入力

とき

されるようになっている。該係数発生回路5の $N - 1$ 本の係数出力は前記 $N - 1$ 個のビット操作回路6に各々1本ずつ接続され、ビット操作回路6の平行出力はそれぞれ加算回路7の入力に接続されている。該加算回路7にはまたバイアス値が入力されるようになっている。

【0073】クロック発生回路1で発生されたシフトクロックはLFSR回路2と分周器3に入力する。LFSR回路2にはクロック発生回路1のシフトクロックの他図示しない外部の入力手段から初期値データ、初期値クロックおよび初期化選択の各信号から成る初期値入力が入力されるようになっており、初期化選択信号によって初期化が選択されると、初期値クロックごとに初期値データがシリアルに入力されLFSR回路2内のデータの初期化が行われる。初期化が行われた後は、LFSR回路2の平行出力端子には、シフトクロックが所定数入力されるごとに $(2 \text{ の } 95 \text{ 乗}) - 1$ の周期の M 系列が発生する。分周器3からは該シフトクロックに基づい

て、標本クロックと更新クロックとが出力される。標本クロックはシフトクロックを M 分周したものであり、更新クロックはシフトクロックを $M \times N$ 分周したものである。ここで、 M および N は前述の M ビット $\times N$ 組の M および N である。LFSR回路2の平行出力信号はレジスタ回路4の平行入力端子に入力され、レジスタ回路4の平行出力端子に更新クロックごとに更新されて出力される。該レジスタ回路4の平行出力信号 $N \times M$ ビットは $N - 1$ 個のビット操作回路6の平行入力端子に各々 M ビットずつ入力され、残りの M ビットは加算回路7の平行入力端子に入力される。係数発生回路5は外部の入力手段からの初期値データで更新クロックごとに初期化され、初期化の後、次の初期化までは標本クロックごとに係数を巡回させて新たな係数の組を生成し出力する。また、後に詳述するが、更新クロックごとに全係数が“1”である係数の組を出力する。各ビット操作回路6では入力された M ビットの平行信号に対して、入力された係数で指示されたビット操作を施して出力する。加算回路7は各ビット操作回路6でビット操作が施された M ビットの平行信号 $N - 1$ 個とレジスタ回路4から直接送られた M ビットの平行信号1個とバイアス値とを全て加算して K ビットの平行信号として出力する。すなわち、シフトクロック $M \times N$ 個ごとにLFSR回路2から出力される M 系列1つを基に、シフトクロック $M \times N$ 個後に次の M 系列が出力されるまでに、 N 標本の独立なガウス乱数を加算回路7から出力する。

【0074】次に、各回路の詳細を説明する。図7に示すLFSR回路2は、生成多項式

【0075】

【数30】

$$x^{95} + x^{11} + 1 = f(x)$$

【0076】に基づく。数30はGF(2の95乗)の原始多項式で最も項数の少ないものとして知られている。この生成多項式は原始多項式であるので、(2の95乗)-1の周期のM系列が、このLFSR回路2から発生する。

【0077】本実施の形態のLFSR回路2は、2つのマルチプレクサ21、22と95個のフリップフロップ201、202、……、295と1つの排他論理和回路(以下、EXORという。)23とから構成されている。2つのマルチプレクサ21、22の切り換えを選択する端子にはいずれも初期化選択信号が入力されるようになっており、マルチプレクサ21の共通端子は95個のフリップフロップ201、202、……、295のクロック入力端子と接続されている。また、マルチプレクサ21の2つの入力端子のうち一方の端子には初期値クロックが、他方の端子にはシフトクロックが入力されるようになっている。マルチプレクサ22の共通端子はフリップフロップ201のD端子に接続されている。そして、フリップフロップ201のQ端子はフリップフロップ202のD端子に、フリップフロップ202のQ端子はフリップフロップ203のD端子に、以下、フリップフロップ294のQ端子がフリップフロップ295の

Q1, Q2, Q3, Q4, Q5 の5ビットから構成される整数 x(0)

Q6, Q7, Q8, Q9, Q10 の5ビットから構成される整数 x(1)

Q11, Q12, Q13, Q14, Q15 の5ビットから構成される整数 x(2)

: : : : :

: : : : :

Q56, Q57, Q58, Q59, Q60 の5ビットから構成される整数 x(11)

【0080】初期化選択を初期値側になるようにすると、シリアルデータ(初期値データ)をマルチプレクサ22を経由してLFSR回路2の各フリップフロップ201~295に入れることができる。

【0081】このように初期値が任意に設定できるようになっていると、LFSR回路から発生するM系列の開始点を任意に設定できる。したがって、本実施の形態の装置が複数台あれば、それらの装置から互いに直交する、換言すれば独立な雑音を発生することができる。もちろん、初期値データが任意に設定できるようになっていることは本装置に必須ではなく、LFSR出力をクリアして全出力を“1”とし、M系列の開始点とするようにしてもよい。例えば、生成多項式を

【0082】

【数31】

$$1 + \sum_{n=1}^{95} x^n \cdot h_n$$

【0083】とすると、遷移行列は

D端子に接続されるまで、フリップフロップ201、……、294のQ端子がフリップフロップ202、……、295のD端子に次々に接続されている。各フリップフロップ201、……、295のQ端子からの出力のうち出力Q11と出力Q95とはEXOR23へ入力されるようになっており、出力Q1~Q60はこのLFSR回路2の出力となっている。EXOR23の出力は前記マルチプレクサ22の2つの入力端子のうち一方の端子に入力され、他方の端子には初期値データが入力されるようになっている。2つのマルチプレクサ21、22の初期化選択信号による切り換えはマルチプレクサ21で初期値クロックが選択されているときはマルチプレクサ22では初期値データが選択され、マルチプレクサ21でシフトクロックが選択されているときはマルチプレクサ22ではEXOR23の出力が選択されるようになっている。図7の初期化選択信号、初期値クロックおよび初期値データは図6ではまとめて初期値入力と表わされている。

【0078】表1のx(0)~x(11)を2の補数形式の整数とみなすと、各x(i)は-16以上15以下の範囲の全ての整数値を一様にとる一様乱数とみなせる。

【0079】

【表1】

Q1, Q2, Q3, Q4, Q5 の5ビットから構成される整数 x(0)

Q6, Q7, Q8, Q9, Q10 の5ビットから構成される整数 x(1)

Q11, Q12, Q13, Q14, Q15 の5ビットから構成される整数 x(2)

: : : : :

: : : : :

【0084】

【数32】

$$S = \begin{bmatrix} h_1 & h_2 & h_3 & \cdots & h_{11} \\ 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & \cdots & 0 \\ 0 & 0 & 1 & \cdots & 0 \\ : & : & : & \cdots & : \\ : & : & : & \cdots & : \\ 0 & 0 & 0 & \cdots & 0 \end{bmatrix}$$

【0085】となる。初期値データを列ベクトルの形で $Q = (Q1, Q2, \dots, Q95)$ の転置ベクトルとすると、初期状態Qからシフトクロックnパルス後のLFSR回路2の出力の状態は

【0086】

【数33】

$$Q' = S^n \cdot Q$$

【0087】である。行列の演算は位数2のガロア体の

演算とする。 $n = (2 \text{ の } K \text{ 乗})$ のときは $(S \text{ の } n \text{ 乗})$ は K 回の行列の乗算で計算できる。 $K < 95$ であって、十分大きな K について $(S \text{ の } n \text{ 乗})$ を計算し、 $(S \text{ の } n \text{ 乗})$ Q の列ベクトル $(Q1', Q2', Q3', \dots, QL')$ の転置ベクトルを $LF SR$ 回路 2 に初期値として入力すれば、 Q を初期値として入力した第 1 の本装置の雑音、 Q' を初期値として入力した第 2 の本装置の雑音は独立である。前記 $LF SR$ 回路 2 の出力 $Q1 \sim Q95$ のうち出力 $Q1 \sim Q60$ はレジスタ回路 4 に入力され、シフトクロック 60 パルス毎にレジスタ回路 4 の値はそのとき

【0088】分周器 3 は図 8 に示すように、入力されるシフトクロックを M 分周する第 1 の分周器 31 の後に N 分周する第 2 の分周器 32 が接続されて構成されており、第 1 の分周器 31 は標本クロックを第 2 の分周器 32 は更新クロックを出力する。図 8 および上述の説明中の M, N は本実施の形態では前述のように $M = 5, N = 12$ である。

【0089】レジスタ回路 4 の入出力は本実施の形態では 60 ビット ($M = 5 \text{ ビット} \times N = 12 \text{ 組}$) である。レジスタ回路 4 の出力は表 1 に示すように 5 ビットずつまとめられ、 $x(1), x(2), \dots, x(11)$ それぞれについてビット操作回路 6, $\dots, 6$ が入る。残りの 5 ビット $x(0)$ についてビット操作回路 6 が入らないのは、該 5 ビットはビット操作が不要でレジスタ回路 4 の出力がそのまま加算回路 7 に入力されればよいからである。

【0090】係数発生回路 5 の詳細は図 9 に示されている。前述のように本実施の形態では N を 12 としているので、本係数発生回路 5 は、入出力が 11 ビットの並列入出力型シフトレジスタ 53、11 個の 2 入力の論理積回路 (以後、2 入力 AND という。) 55, 55, \dots , 55、論理否定回路 (以後、NOT という。) 51, 54、およびフリップフロップ 52 から成り、前記標本クロックが並列入出力型シフトレジスタ 53 の SCK 入力および NOT 51 の入力に入力され、並列入力許可信号

(前記更新クロック) が NOT 54 の入力およびフリップフロップ 52 の D 入力に入力されるようになってい

る。また、NOT 51 の出力はフリップフロップ 52 のクロック入力に、フリップフロップ 52 の Q 出力は並列入出力型シフトレジスタ 53 の $SENB$ 入力に、NOT 54 の出力は 11 個の 2 入力 AND 55, 55, \dots , 55 のそれぞれ一方の入力に共通に接続されており、2 入力 AND 55, 55, \dots , 55 のそれぞれ他方の入力には並列入出力型シフトレジスタ 53 の $P0$ 出力が接続されている。さらに、前記 2 入力 AND 55, 55, \dots , 55 のうちの 1 つ、係数 $C_{i,12}$ を出力する 2 入力 AND 55 の他方の入力に接続されている並列入出力型シフトレジスタ 53 の $P0$ 出力 1 ビットは並列入出力型シフトレジスタ 53 の SI 入力にも接続されている。そして、並

列入出力型シフトレジスタ 53 の PI 入力には係数の初期値 $C2,2, C2,3, C2,4, C2,5, C2,6, C2,7, C2,8, C2,9, C2,10, C2,11$ および $C2,12$ が入力され、2 入力 AND 55, 55, \dots , 55 のそれぞれの出力は係数 $C_{i,2}, C_{i,3}, C_{i,4}, C_{i,5}, C_{i,6}, C_{i,7}, C_{i,8}, C_{i,9}, C_{i,10}, C_{i,11}$ および $C_{i,12}$ を $N - 1$ 個のビット操作回路 6, \dots , 6 へ出力するようになっている。

【0091】レジスタ回路 4 の出力 60 ビットを 5 ビットずつの 12 グループに分けた各グループに、12 次のアダマール行列の (第 1 行から第 12 行までの) 各行の 12 個の各要素をそれぞれ係数に対応させ、該係数が示す 2 つの状態で指定されるビット操作を施して加算回路 7 に送るようにしている。そして、第 1 行に相当する係数 12 個一組 ($C1,1, C1,2, C1,3, C1,4, C1,5, C1,6, C1,7, C1,8, C1,9, C1,10, C1,11$ および $C1,12$) から第 12 行に相当する係数 12 個一組 ($C12,1, C12,2, C12,3, C12,4, C12,5, C12,6, C12,7, C12,8, C12,9, C12,10, C12,11$ および $C12,12$) まで順次出力される係数が変化する。レジスタ回路 4 の 1 種類の出力から、第 1 行乃至第 12 行に相当する係数により指定されるビット操作が施されて、加算回路 7 の 12 種類の入力が作られることになる。12 次のアダマール行列の第 1 列から第 12 列はそれぞれレジスタ回路 4 の出力の第 1 組から第 12 組に施されるビット操作を指定する。12 次のアダマール行列は図 3

(a) に示すように、第 1 列 (相当する係数は、 $C1,1, C2,1, C3,1, C4,1, C5,1, C6,1, C7,1, C8,1, C9,1, C10,1, C11,1$ および $C12,1$) は全て “1” である。したがって、本実施の形態の回路では、レジスタ回路 4 の出力 60 ビット 12 組のうち 1 つの組 5 ビットの回路にビット操作回路 6 が挿入されていない。係数が変化しないからである。

【0092】 N 次アダマール行列で第 1 行と第 1 列を取り除いた残りの $(N - 1)$ 次正方行列は巡回行列にできることが知られている。そこで、本実施の形態では、

(12 - 1) 次正方行列の列成分を巡回型のシフトレジスタで発生している。図 3 (a) のアダマール行列の第 1 行は全て “1” であるので、第 1 行に相当する係数を出力するときは、2 入力 AND 55, 55, \dots , 55 のそれぞれ一方の入力に共通に接続されている NOT 54 の出力を “0” として、 $C1,2, C1,3, C1,4, C1,5, C1,6, C1,7, C1,8, C1,9, C1,10, C1,11$ および $C1,12$ 全てに “0” を出力する。ここで、図 3

(a) のアダマール行列の要素 “1” [= (-1) の 0 乗] は $C_{i,j}$ では “0” に相当し、要素 “-1” [= (-1) の 1 乗] は $C_{i,j}$ では “1” に相当する。第 1 行を係数発生回路 5 から出力するときは、フリップフロップ 52 によって並列入出力型シフトレジスタ 53 のシフト許可 ($SENB$) をしないようにしているので、並

入出力型シフトレジスタ53のシフトは行われない。

【0093】次に、並列入出力型シフトレジスタ53に初期値C2,2、C2,3、C2,4、C2,5、C2,6、C2,7、C2,8、C2,9、C2,10、C2,11およびC2,12として、それぞれ前記(12-1)次正方行列の第1行の各要素に対応する1, 0, 1, 0, 0, 0, 1, 1, 1, 0, 1をパラレルロードする。この後のサイクルでは標本クロック毎にロードされた値を巡回させて、(12-1)次正方行列の第2行に相当する係数C3,2、C3,3、C3,4、C3,5、C3,6、C3,7、C3,8、C3,9、C3,10、C3,11およびC3,12～第11行に相当する係数C12,2、C12,3、C12,4、C12,5、C12,6、C12,7、C12,8、C12,9、C12,10、C12,11およびC12,12を得る。(12-1)次正方行列の第1行～第11行に相当する係数すなわち12次アダマル行列の第2～第12行に相当する係数を出力するときは、NOT54の出力を“1”としておく。並列入出力型シフトレジスタ53への上記初期値ロードは毎行行わなくとも、電源投入時にシリアル形式でLFSRを初期化すると同様の方法で初期化し、後は巡回させるようにしてもよい。

【0094】アダマル行列はN=12以外にも、N=4, 8, 16, 20等が使用できる。行列の行と行または列と列を入れ換える等の簡単な変換で第1行成分、第1列成分を除いたN-1次行列を巡回行列にすることができる。

【0095】図3(b)に示すタイムチャートは係数発生回路5の出力Ci,2～Ci,12の標本化クロックに対する変化を示している。Ci,1(C1,1～C12,1)は、図3(a)のアダマル行列の第1列に対応しており、前述のように、アダマル行列の要素“1”はCi,jでは“0”に対応させ、要素“-1”はCi,jでは“1”に対応させているので、全て“0”となる。Ci,2(C1,2～C12,2)は、第2列に対応しており、該第2列は、“1, -1, -1, 1, -1, -1, -1, 1, 1, 1, -1, 1”であるので、“0, 1, 1, 0, 1, 1, 1, 0, 0, 0, 1, 0”となる。以下、同様に、Ci,12(C1,12～C12,12)は、“0, 1, 0, 1, 1, 1, 0, 0, 0, 1, 0, 1”となる。

【0096】図10に本実施の形態のビット操作回路6の詳細を示す。ビット操作回路6は5個のEXOR61, ..., 65から成り、それぞれ2つの入力端子の一方には係数入力が入力され、他方の入力端子には前記レジスタ回路4の出力5ビット(X0～X4)が入力されるようになっている。係数入力が1のときは、入力の論理否定が出力(Y0～Y4)され、係数入力が0のときは、入力がそのまま出力される。本実施の形態ではビット操作回路6を11個備えている。これらのビット操作回路6, ..., 6はレジスタ回路4より5ビットずつのデータx(1)～x(11)を受け、ビット操作を施して5ビットずつのデータy(1)～y(11)を出力

する。

【0097】加算回路7の詳細を図11に示す。本実施の形態では前述のようにN=12、M=5としているので、加算回路7はキャリ入力(C)を1とした5ビットの全加算器71, ..., 71(第1段目)、キャリ入力を0とした6ビットの全加算器73, ..., 73(第2段目)、キャリ入力を0とした7ビットの全加算器75(第3段目)、キャリ入力を0とした8ビットの全加算器77(第4段目)、および高速に処理を行うために各段間に挿入された標本クロックがクロック入力に接続されたD型フリップフロップ72, 74, 76から成っている。図12にM、Nが一般化された加算回路を示す。図13は、図11では各段間に挿入されているD型フリップフロップ72, 74, 76がない例である。

【0098】加算回路7はレジスタ回路4の出力y(0)=x(0)とビット操作回路6の出力y(0), y(1), ..., y(11)の総和をし、6(=N/2=12/2)を加える演算を行う。6を加える演算は、本実施の形態の加算回路7では、第1段目の5ビットの全加算器71, ..., 71のキャリ入力を1とすることで行っている。加算回路7からは、-186以上186以下の整数が正規分布して発生する。この分散は32である。振幅aとしては186とする。 $\gamma = 32 / (186 \times 0.707) = 1 / (6 \times 0.707) = 0.235$

$2 \times T \times C \times (\gamma \text{の2乗}) = T \times C \times 0.11$ が雑音電力密度である。DAC10としては8ビット幅のDACが使用できる。

【0099】第2の実施の形態

第2の実施の形態は第1の発明を実施する形態であり、全体の構成としては図14に示すものである。図14に示す各部のうち、ビット操作回路6の詳細については図10にそれぞれ示し、加算回路7の詳細については図11を参照する。図14に示す他の各部、クロック発生回路1、レジスタ回路6、については周知技術であるからその詳細は省略する。

【0100】本実施の形態は、N=8とすると、

【0101】

【数34】

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & -1 & -1 & 1 & -1 & 1 & 1 \\ 1 & 1 & -1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 \\ 1 & -1 & 1 & 1 & -1 & -1 & -1 & 1 \\ 1 & 1 & -1 & 1 & 1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix}$$

【0102】はアダマール行列であって、これを使って $M=5$ 、 $L=40$ とした例である。

【0103】まず、図14に基づいて、全体の構成とその動作を説明する。クロック発生回路1の出力はLFSR回路2と分周器3に接続され、分周器3の3つの出力のうち1つは係数発生回路5の更新クロック入力(CLR)とレジスタ回路4の共通クロック入力に、他の1つは係数発生回路5の標本クロック入力と加算回路7のクロック入力に、残りの1つは係数発生回路5の更新クロック入力(PLD)に接続されている。LFSR回路2にはクロック発生回路1のシフトクロックの他図示しない外部の入力手段から初期値データ、初期値クロックおよび初期化選択の各信号が入力されるようになっている。該LFSR回路2の平行出力はレジスタ回路4の平行入力に接続されている。該レジスタ回路4の平行出力 $N(=8) \times M(=5)$ ビットは $N-1$ 個のビット操作回路6の平行入力に各々 M ビットずつ接続され、残りの M ビットは加算回路7に接続されている。係数発生回路5には前記分周器3からの入力の他、図示しない外部の入力手段から初期値データが入力されるようになっている。該係数発生回路5の $N-1$ 本の係数出力は前記 $N-1$ 個のビット操作回路6に各々1本ずつ接続され、ビット操作回路6の平行出力はそれぞれ加算回路7の入力に接続されている。該加算回路7にはまたバイアス値が入力されるようになっている。

【0104】クロック発生回路1で発生されたシフトクロックはLFSR回路2と分周器3に入力する。LFSR回路2にはクロック発生回路1のシフトクロックの他図示しない外部の入力手段から初期値データ、初期値クロックおよび初期化選択の各信号が入力されるようになっており、初期化選択信号によって初期化が選択されると、初期値クロックごとに初期値データがシリアルに入力されLFSR回路2内のデータの初期化が行われる。初期化が行われた後は、LFSR回路2の平行出力端子には、シフトクロックが所定数入力されるごとに M 系列が発生する。分周器3からは該シフトクロックに基づいて、標本クロックと第1および第2の更新クロックとが出力される。標本クロックはシフトクロックを M 分周したものであり、第1および第2の更新クロックはそれぞれシフトクロックを $M \times N$ 分周したものである。LFSR回路2の平行出力信号はレジスタ回路4の平行入力端子に入力され、レジスタ回路4の平行出力端子に第1の更新クロックごとに更新されて出力される。該レジスタ回路4の平行出力信号 $N \times M$ ビットは $N-1$ 個のビット操作回路6の平行入力端子に各々 M ビットずつ入力され、残りの M ビットは加算回路7に入力される。係数発生回路5は、第1の更新クロックによりクリアされて全係数が“1”である係数の組を出力し、第1の更新クロックに続く第2の更新クロックによって外部の入力手段からの初期値データがロードさ

れる。第2の更新クロックごとに初期化されるわけであるが、初期化の後次のクリアまでは標本クロックごとに係数を巡回させて新たな係数の組を生成し出力する。各ビット操作回路6では入力された M ビットの平行信号に対して、入力された係数で指示されたビット操作を施して出力する。加算回路7は各ビット操作回路6でビット操作が施された M ビットの平行信号 $N-1$ 個とレジスタ回路4から直接送られた M ビットの平行信号1個とバイアス値とを全て加算して $K(=8)$ ビットの平行信号として出力する。

【0105】すなわち、シフトクロック $M \times N$ 個ごとにLFSR回路2から出力される M 系列1つを基に、シフトクロック $M \times N$ 個後に次の M 系列が出力されるまでに、 N 標本の独立なガウス乱数を加算回路7から出力している。

【0106】つぎに、各回路の詳細を説明する。図14に示すLFSR回路2は、生成多項式

【0107】

【数35】

$$x^{36} + x^{11} + 1 = f(x)$$

【0108】に基づく。この生成多項式は原始多項式であるので、 $(2$ の 36 乗) $- 1$ の周期の M 系列が、このLFSR回路2から発生する。LFSR回路2を構成するシフトレジスタ24の長さは、 $N \times M = 40$ ビットである。生成多項式は、 $(x$ の 36 乗) $+ (x$ の 11 乗) $+ 1 = f(x)$ を使う。EXOR23の入力はシフトレジスタ24の出力Q11、Q36である。

【0109】図14に示すLFSR回路2は、マルチプレクサ21、22とシリアルイン・パラレルアウトのシフトレジスタ24と1つのEXOR23とから構成されている。マルチプレクサ21、22の切り換えを選択する端子には初期化選択信号が入力されるようになっており、マルチプレクサ21の共通端子はシフトレジスタ24のクロック入力端子と接続されている。また、マルチプレクサ21の2つの入力端子のうち一方の端子には初期値クロックが、他方の端子にはシフトクロックが入力されるようになっている。マルチプレクサ22の共通端子はシフトレジスタ24のシリアルイン端子(IN)に接続されている。シフトレジスタ24のQ端子からの出力のうち出力Q11と出力Q36とはEXOR23へ入力されるようになっており、出力Q1～Q40はこのLFSR回路2の出力となっている。EXOR23の出力は前記マルチプレクサ22の2つの入力端子のうち一方の端子に入力され、他方の端子には初期値データが入力されるようになっている。マルチプレクサ21、22の初期化選択信号による切り換えはマルチプレクサ21で初期値クロックが選択されているときはマルチプレクサ22では初期値データが選択され、シフトクロックが選択されているときはEXOR23の出力が選択されるようになっている。

【0110】分周器3は図14に示すように、入力されるシフトクロックを5分周する第1の分周器31の後に8分周する第2の分周器32が接続されて構成されており、第1の分周器31は標本クロックを第2の分周器32は更新クロック（前記第1の更新クロック）および更新クロックと同じ周期で標本クロックの1周期分ずれた信号（前記第2の更新クロック）を出力する。

【0111】係数発生回路5は並列入力型のシフトレジスタ56を巡回型シフトレジスタの形に接続して構成されている。第2の分周器32の出力1周期の中には第1の分周器31の出力8周期分が含まれるのであるが、その第1の分周器31の出力8周期を時間軸上の位置0から7とすると、該位置が0のとき、前記シフトレジスタ56は第2の分周器32の更新クロックをCLR入力に受けてクリアされ、位置が1のとき更新クロックと同じ周期で時間軸上の位置が1だけずれた信号（前記第2の更新クロック）を第2の分周器32からPLD入力に受けてPI入力の初期値（0, 0, 1, 0, 1, 1, 1）が並列ロードされる。また、位置が2以上7以下のときは、前記シフトレジスタ56は標本クロックの立ち上がりで巡回シフトを行う。

【0112】ビット操作回路6（図10）は、第1の実施の形態のところで説明したので、説明を省略する。

【0113】加算回路7は本実施の形態では前述のようにN=8、M=5としているので、図11に示す加算回路7より少ない数の加算器で済み、キャリ入力を1とした4個の5ビット全加算器71、…、71（第1段目）、キャリ入力を0とした2個の6ビット全加算器73、73（第2段目）、キャリ入力を0とした1個の7ビット全加算器75（第3段目）から成っている。高速に処理を行うために各段間に標本クロックがクロック入力に接続されたD型フリップフロップ72、74が挿入された構成としている。加算回路7はレジスタ回路4の出力y(0)、ビット操作回路6、…、6の出力y

(1)、…、y(7)の総和をし、4(N/2=8/2)を加える演算を行う。4を加える演算は、本実施の形態の加算回路7では、第1段目の5ビットの全加算器71、…、71のキャリ入力を1とすることで行っている。

【0114】第3の実施の形態

本発明の第3の実施の形態は第2の発明を実施する形態であり、全体の構成としては図15に示すものである。図15に示す各部の詳細は、LFSR回路2については図16、分周器3については図8、係数発生回路5については図17、ビット操作回路6については図10（ただし、データのビット数については異なる。）、加算回路7については図11（ただし、データのビット数については異なる。）、波形発生回路8については図18にそれぞれ示す。図15に示す他の各部、クロック発生回路1、レジスタ回路4、およびマルチプレクサ9につい

ては周知技術であるからその詳細は図示しない。

【0115】本実施の形態では、L=96、N=12、M=8としている。標本化速度1/Tはシフトクロックの周波数の8分の1である。まず、図15に基づいて、全体の構成とその動作を説明する。波形発生回路8とマルチプレクサ9とを除く部分の構成および動作は、第1の実施の形態で述べたものとほぼ同じである。そこで、波形発生回路8とマルチプレクサ9とに関連するところについて説明する。部分的には、LFSR回路2と係数発生回路5も第1の実施の形態と異なるが、その構成および動作については後に各部の説明の箇所で述べる。

【0116】分周器3の2つの出力、標本クロックと更新クロックのうちの標本クロックは、係数発生回路5の標本クロック入力の他に波形発生回路8にも接続され、波形発生回路8の出力はマルチプレクサ9の2つの入力端子の一方に接続されている。マルチプレクサ9の2つの入力端子の他方には加算回路7の出力が接続されている。マルチプレクサ9にはまた切り換え信号が入力されるようになっている。

【0117】波形発生回路8からは標本クロックごとにK(=12)ビットの標本値が出力され、マルチプレクサ9に送られる。加算回路7からマルチプレクサ9へは加算されたKビットのパラレル信号が送られる。マルチプレクサ9からは切り換え信号によって、前記標本値か加算されたKビットのパラレル信号かいずれか一方が出力される。

【0118】本実施の形態の雑音発生装置を用いるときは、課題を解決するための手段の欄で述べたように、まずマルチプレクサ9の切り換えを波形発生側とし、電力C[W]を電力計で測り数22によってSw(f0)に変換し、マルチプレクサ9の切り換えを雑音発生側とする。このようにすることで、DAC10の変動が除去された前記電力密度の雑音を発生させることができる。

【0119】次に、各回路の詳細を説明する。図16に示すLFSR回路2は、生成多項式

【0120】

【数36】

$$x^{47} + x^5 + 1 = f(x)$$

【0121】に基づく。この生成多項式は原始多項式であるので、(2の47乗)-1の周期のM系列が、このLFSR回路2から発生する。fck=40MHzのとき、本LFSR回路2は、周期(2の47乗)-1のM系列を発生する。一巡するには407日を要するので、十分な周期である。

【0122】図16に示すLFSR回路2は、2つのマルチプレクサ21、22と96個のフリップフロップ201、202、…、296と1つのEXOR23とから構成されている。2つのマルチプレクサ21、22の切り換えを選択する端子にはいずれも初期化選択信号が入力されるようになっており、マルチプレクサ21の共

通端子は96個のフリップフロップ201, 202, …, 296のクロック入力端子と接続されている。また、マルチプレクサ21の2つの入力端子のうち一方の端子には初期値クロックが、他方の端子にはシフトクロックが入力されるようになっている。マルチプレクサ21の共通端子はフリップフロップ201のD端子に接続されている。そして、フリップフロップ201のQ端子はフリップフロップ202のD端子に、フリップフロップ202のQ端子はフリップフロップ203のD端子に、以下、フリップフロップ295のQ端子がフリップフロップ296のD端子に接続されるまで、フリップフロップ201, …, 295のQ端子がフリップフロップ202, …, 296のD端子に次々に接続されている。各フリップフロップ201, …, 296のQ端子からの出力のうち出力Q5と出力Q47とはEXOR23へ入力されるようになっており、出力Q1~Q96はこのLFSR回路2の出力となっている。EXOR23の出力は前記マルチプレクサ22の2つの入力端子のうち一方の端子に入力され、他方の端子には初期値データが入力されるようになっている。2つのマルチプレクサ21, 22の初期化選択信号による切り換えはマルチプレクサ21で初期値クロックが選択されているときはマルチプレクサ22では初期値データが選択され、マルチプレクサ21でシフトクロックが選択されているときはマルチプレクサ22ではEXOR23の出力が選択されるようになっている。図16の初期化選択信号、初期値クロックおよび初期値データは図15ではまとめて初期値入力と表わされている。

【0123】分周器3(図8)は、第1の実施の形態のところで説明したので、説明を省略する。M, Nは本実施の形態では前述のようにM=8, N=12である。

【0124】係数発生回路5の詳細を図17に示す。前述の第1および第2の実施の形態では、シフトレジスタを用いて、係数の列を巡回させることで、複数列の係数を順次発生させたが、本実施の形態では、複数列の係数をROMに予め記憶しておき、順次呼び出すことで、係数を発生させている。本実施の形態の係数発生回路5は、アドレス発生回路57、係数を記憶させたROM58、D型フリップフロップ59から構成されている。そして、標本クロックが入力されるごとにアドレス発生回路57からアドレスが発生され、ROM58の該アドレスに記憶されている係数が呼び出されて、D型フリップフロップ59で標本クロックによってタイミングがとられ、係数が出力される。

【0125】ビット操作回路6(図10)および加算回路7(図11)は、第1の実施の形態のところで説明したものとほぼ同じであるが、データのビット数が異なる。ビット操作回路6については、図10ではEXOR5個で構成された5ビット用となっているが、本実施の形態のビット操作回路6はEXOR8個で構成された8

ビット用となる。また、加算回路7については、図11では5ビットのデータ12個を加算して9ビットのデータが出力されるようになっているが、本実施の形態の加算回路7では8ビットのデータ12個を加算して12ビットのデータが出力される。

【0126】波形発生回路8の詳細を図18に示す。本実施の形態の波形発生回路は正弦波発生回路であり、加算器81とD型フリップフロップ82から構成される位相アキュムレータと正弦波を記憶させたROM83およびスキューを吸収するためのD型フリップフロップ84から構成される。周波数設定入力にkを入力すると、該位相アキュムレータからは時刻tにおいて、
$$m = [(t/T) \cdot k] \bmod (2 \text{ の } M' \text{ 乗})$$
が発生する。M'はD型フリップフロップ82および加算器81のビット数である。ROM83には、
$$\{a \sin(2\pi l / (2 \text{ の } M'' \text{ 乗}))\}$$
$$l = 0, 1, 2, \dots, (2 \text{ の } M'' \text{ 乗}) - 1$$
の(2のM''乗)語が記憶されている。M''はM'以下の整数である。こうすることによって、波形発生回路8

からは、

振幅a、周波数f0 = k / [(2のM'乗)・T]

の標準化正弦波が発生する。

【0127】第4の実施の形態

本発明の第4の実施の形態は第2の発明を実施する形態であり、全体の構成としては図19に示すものである。図19に示す各部の詳細は、LFSR回路2については図20、分周器3については図8、係数発生回路5については図14、ビット操作回路6については図10(ただし、データのビット数については異なる。)、加算回路7については図11(ただし、データのビット数については異なる。)、波形発生回路8については図21にそれぞれ示す。図19に示す他の各部、クロック発生回路1、レジスタ回路4、およびマルチプレクサ9については周知技術であるからその詳細は図示しない。

【0128】本実施の形態は、第2の実施の形態と同じアダマール行列(数34)を使ってN=8とし、M=35、L=35とした例である。全体の構成とその動作は、第3の実施の形態で述べたものとほぼ同じである。LFSR回路2および分周器3は第3の実施の形態と異なるので、それらの構成および動作について説明する。

【0129】本実施の形態のLFSR回路2は、生成多項式

【0130】

【数37】

$$x^{35} + x^2 + 1 = f(x)$$

【0131】に基づく。この生成多項式は原始多項式であるので、(2の35乗)-1の周期のM系列が、このLFSR回路2から発生する。

【0132】図20に示すように本実施の形態のLFSR回路2は、8つの小LFSR回路121, 122,

…、128と1つのマルチプレクサ21とで構成される。各小LFSR回路121、122、…、128はそれぞれ1つのマルチプレクサ121a、122a、…、128aと1つのシフトレジスタ121c、122c、…、128cと1つのEXOR121b、122b、…、128bとから構成されている。1つのマルチプレクサ21と各小LFSR回路121、122、…、128のマルチプレクサ121a、122a、…、128aの切り換えを選択する端子にはいずれも初期化選択信号が入力されるようになっており、マルチプレクサ21の共通端子は8個のシフトレジスタ121c、122c、…、128cのクロック入力端子と接続されている。また、マルチプレクサ21の2つの入力端子のうち一方の端子には初期値クロックが、他方の端子にはシフトクロックが入力されるようになっている。

【0133】各小LFSR回路121、122、…、128内では、各マルチプレクサ121a、122a、…、128aの共通端子は各シフトレジスタ121c、122c、…、128cのSIN端子（シリアル入力端子SIN）に接続されている。そして、各シフトレジスタ121c、122c、…、128cのQ端子の内Q2とQ35はそれぞれEXOR121b、122b、…、128bの2つの入力端子に接続され、EXOR121b、122b、…、128bの出力端子はマルチプレクサ121a、122a、…、128aの2つの入力端子の一方の入力端子に接続されている。また、小LFSR回路121のマルチプレクサ121aの他方の入力端子には初期値データが入力されるようになっており、小LFSR回路121につながる小LFSR回路122のマルチプレクサ122aの他方の入力端子には小LFSR回路121のシフトレジスタ121cの出力端子Q35が接続され、小LFSR回路122につながる小LFSR回路123のマルチプレクサ123aの他方の入力端子には小LFSR回路122のシフトレジスタ122cの出力端子Q35が接続され、以下同様にして、小LFSR回路122、123、…、127につながる小LFSR回路123、124、…、128のマルチプレクサ123a、124a、…、128aの他方の入力端子には小LFSR回路122、123、…、127のシフトレジスタ122c、123c、…、127cの出力端子Q35が接続される。小LFSR回路121、122、…、128のシフトレジスタ121c、122c、…、128cの各出力Q1～Q35はこのLFSR回路2の出力となっている。

【0134】各マルチプレクサ21、121a、122a、…、128aの初期化選択信号による切り換えはマルチプレクサ21で初期値クロックが選択されているときはマルチプレクサ121aでは初期値データが、マルチプレクサ122a、123a、…、128aでは前段の小LFSR回路121、122、…、127のシフト

レジスタ121c、122c、…、127cの出力Q35のデータが選択され、マルチプレクサ21でシフトクロックが選択されているときはマルチプレクサ121a、122a、…、128aではEXOR121b、122b、…、128bの出力が選択されるようになっている。図20の初期化選択信号、初期値クロックおよび初期値データは図19ではまとめて初期値入力と表わされている。初期値データは、

【0135】

【数38】

$a, S^{k_0}a, S^{2k_0}a, S^{3k_0}a, \dots$

【0136】の2値のシリアルデータである。（Sの $1/k_0$ 乗） $\times a$ は1番目の小LFSR回路の初期値データである。

【0137】本実施の形態のようにN個の小LFSR回路でLFSR回路を構成し、各小LFSR回路からM本の出力線を出すと、LFSR回路の出力線は $N \times M$ 本になり、図1または図2に示す原理図のLFSR回路の出力線の本数と一致する。したがって、第1～第3の実施の形態のように1個のLFSR回路で構成した場合に比べて、標本化速度はN倍となる。ここで、LFSR回路を N/n 個の小LFSR回路で構成して、1個の小LFSR回路から $n \times M$ 本の出力線を出すようにしてもよく、その場合標本化速度は、第1～第3の実施の形態のように1個のLFSR回路で構成した場合に比べて、 N/n 倍となる。

【0138】分周器3（図8）は、第1の実施の形態のところで説明したので、説明を省略する。M、Nは本実施の形態では前述のように $M=35$ 、 $N=8$ である。

【0139】係数発生回路5（図14）は、第2の実施の形態のところで説明したので、説明を省略する。

【0140】ビット操作回路6（図10）および加算回路7（図11）は、第1の実施の形態のところで説明したものとほぼ同じであるが、データのビット数が異なる。ビット操作回路6については、図10ではEXOR5個で構成された5ビット用となっているが、本実施の形態のビット操作回路6はEXOR35個で構成された35ビット用となる。また、加算回路7については、図11では5ビットのデータ12個を加算して9ビットのデータが出力されるようになっているが、本実施の形態の加算回路7では35ビットのデータ8個を加算して38ビットのデータが出力される。

【0141】波形発生回路8を図21に示す。本実施の形態の波形発生回路8は N' 周期のカウンタ85と周期 N' の正弦波

$[a \sin(2\pi m/N')]$

を記憶したROM83と8ビット幅のD型フリップフロップ84とから構成されている。

【0142】

【発明の効果】以上説明したように、第1の発明の雑音発生装置は、デジタル的に白色雑音を発生させることとし、デジタル的に白色雑音を発生させるに当たっては、LFSR回路と該LFSR回路のシフトクロックをMN分周したクロックでデータが更新されるレジスタ回路とを用いて(Mビット/チャンネル)×Nチャンネルのビットで表される一様乱数(M系列)を発生させ、N-1個の2状態の係数を発生する係数発生回路と前記NチャンネルのうちN-1個の各チャンネルに属するMビット単位でビットを操作するビット操作回路とを用いて、各チャンネルに対応する前記係数の状態に基づいてビット操作を施した後、ビット操作が施されたN-1チャンネルの各Mビットとビット操作が施されていない残り1チャンネルのMビットと所定のバイアス値とを加算回路で加算してKビットの信号として出力することとした。また、第2の発明の雑音発生装置は、さらに、マルチプレクサと波形発生回路とを設けて所定周波数f₀で一定振幅の例えば正弦波信号を発生させ、マルチプレクサの切り換えにより前記正弦波信号を出力してその電力C[W]を測定して雑音の両側電力密度を求めることとした。

【0143】以上のようにしたから、正確な雑音電力密度の雑音を発生することができるとともに、実用に供することができる標準化速度をもつ雑音発生装置が実現できた。また、DACの変動を除去することができるので、マルチプレクサを雑音側に切り換えると、既知の電力密度を有し、瞬時値が正規分布に従う白色雑音を正確に発生できる。マルチプレクサを正弦波に切り換えれば、校正周波数f₀の正弦波を発生でき、任意の校正点において、この電力を測定すれば、本装置が雑音を発生した際、該雑音の該測定点における電力密度を正確に確定できる。この確定された電力密度は本装置から該校正点までの伝達函数には無関係に

$$N_0 = 2TC \quad (\gamma \text{の2乗})$$

である。この発明の雑音発生装置を用いれば、正確なE_bN₀Rを設定でき、デジタル通信用復調回路の正確な評価が可能となる。

【0144】

【図面の簡単な説明】

【図1】本発明の第1の発明の原理を示す図である。

【図2】本発明の第2の発明の原理を示す図である。

【図3】本発明に用いるアダマール行列と係数発生回路5の出力の関係を説明するための図であり、(a)はN=12のアダマール行列を示す図、(b)は係数発生回路5の出力のタイムチャートを示す図である。

【図4】インパルス応答の説明をするための図である。

【図5】解決手段の説明をするための図である。

【図6】本発明の第1の実施の形態の構成を示す図である。

【図7】LFSR回路2の一例の詳細を示す図である。

【図8】分周器3の一例の詳細を示す図である。

【図9】係数発生回路5の一例の詳細を示す図である。

【図10】ビット操作回路6の一例の詳細を示す図である。

【図11】加算回路7の一例の詳細を示す図である。

【図12】加算回路7の一例の詳細を示す図である。

【図13】加算回路7の一例の詳細を示す図である。

【図14】本発明の第2の実施の形態の構成を示す図である。

【図15】本発明の第3の実施の形態の構成を示す図である。

【図16】LFSR回路2の一例の詳細を示す図である。

【図17】係数発生回路5の一例の詳細を示す図である。

【図18】波形発生回路8の一例の詳細を示す図である。

【図19】本発明の第4の実施の形態の構成を示す図である。

【図20】LFSR回路2の一例の詳細を示す図である。

【図21】波形発生回路8の一例の詳細を示す図である。

【図22】従来の雑音発生装置(アナログ)の構成を示す図である。

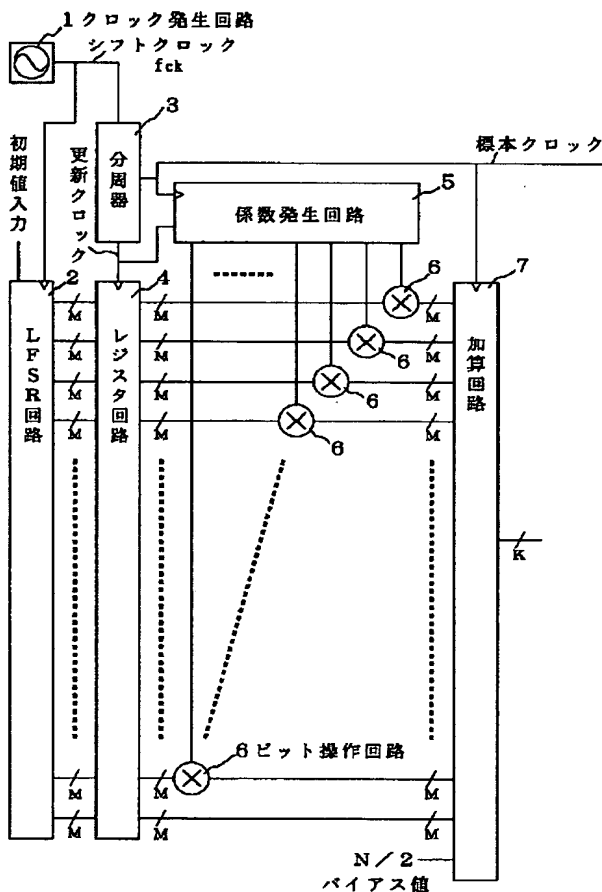
【図23】従来の雑音発生装置(デジタル)の構成を示す図である。

【符号の説明】

1	クロック発生回路
2	線型帰還シフトレジスタ回路(LFSR回路)
3	分周器
4	レジスタ回路
5	係数発生回路
6	ビット操作回路
7	加算回路
8	波形発生回路
9	マルチプレクサ
10	DAC(デジタル/アナログ変換器)
11	フィルタ
12	測定点
13	電力計
14	ノイズダイオード
15	増幅器
16	帯域フィルタ
17	分配器
18	出力端子
19	電力計
21	マルチプレクサ

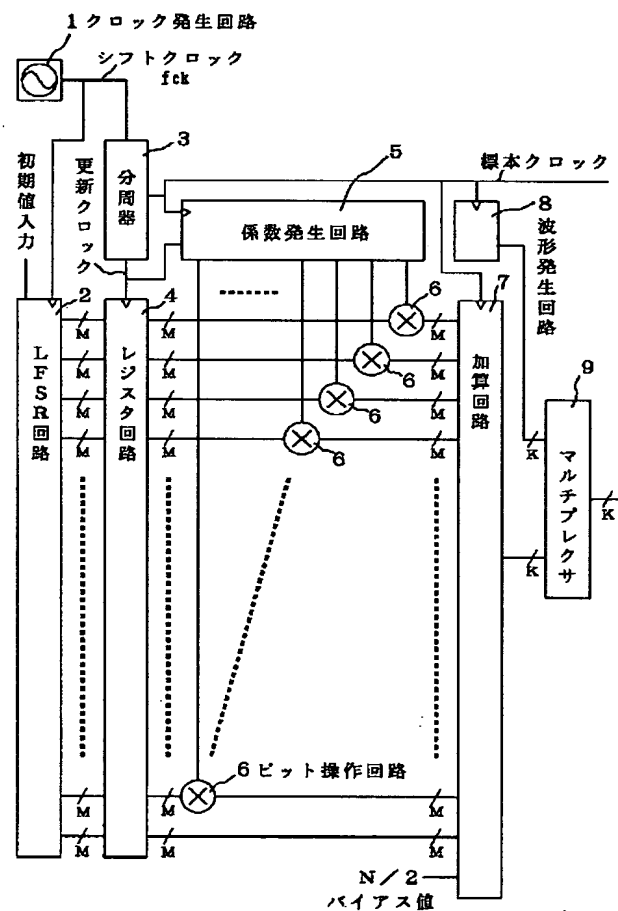
2 2	マルチプレクサ
2 3	排他的論理和 (E X O R)
2 4	シフトレジスタ
3 1	第 1 の分周器
3 2	第 2 の分周器
5 1	論理否定回路 (N O T)
5 2	フリップフロップ
5 3	並列入出力型シフトレジスタ
5 4	論理否定回路 (N O T)
5 5	2 入力の論理積回路 (2 入力 A N D)
5 6	並列入力型シフトレジスタ
5 7	アドレス発生回路
5 8	R O M (リードオンリーメモリ)
5 9	D 型フリップフロップ
6 1 ~ 6 5	排他的論理和回路 (E X O R)
7 1	全加算器

【図 1】



7 2	D型フリップフロップ
7 3	全加算器
7 4	D型フリップフロップ
7 5	全加算器
7 6	D型フリップフロップ
7 7	全加算器
8 1	加算器
8 2	D型フリップフロップ
8 3	ROM (リードオンリーメモリ)
8 4	D型フリップフロップ
8 5	カウンタ
1 2 1 ~ 1 2 8	小LFSR回路
1 2 1 a ~ 1 2 8 a	マルチプレクサ
1 2 1 b ~ 1 2 8 b	排他的論理和回路 (EXOR)
1 2 1 c ~ 1 2 8 c	シフトレジスタ
2 0 1 ~ 2 9 6	フリップフロップ

【图2】

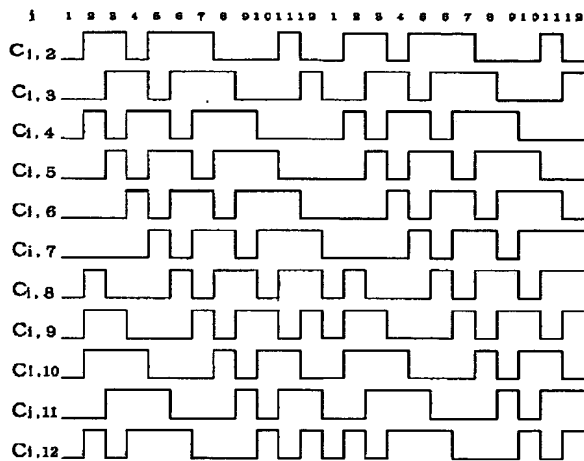


【図3】

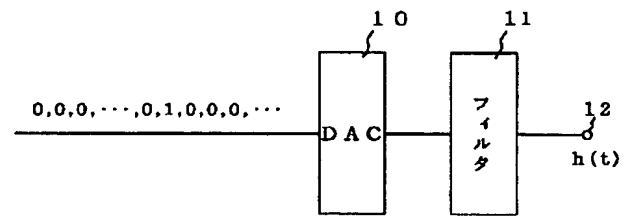
(a)

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 & -1 & -1 & 1 & 1 \\ 1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 & 1 & -1 \\ 1 & -1 & -1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 \\ 1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 & -1 & 1 & -1 \\ 1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 & -1 & 1 \\ 1 & 1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & 1 & -1 & -1 \end{bmatrix} = [h_{ij}]$$

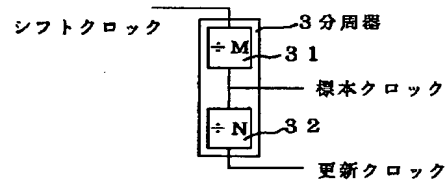
(b)



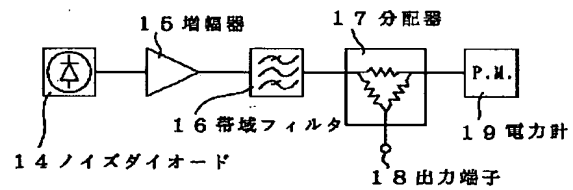
【図4】



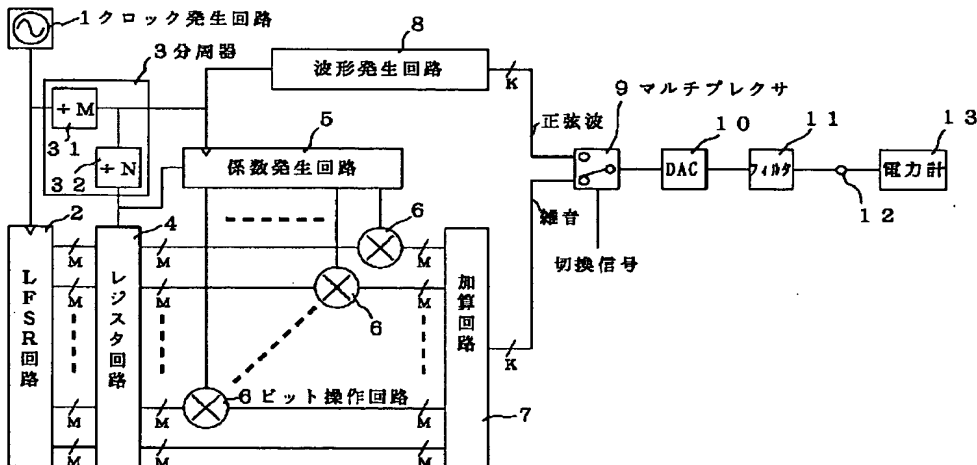
【図8】



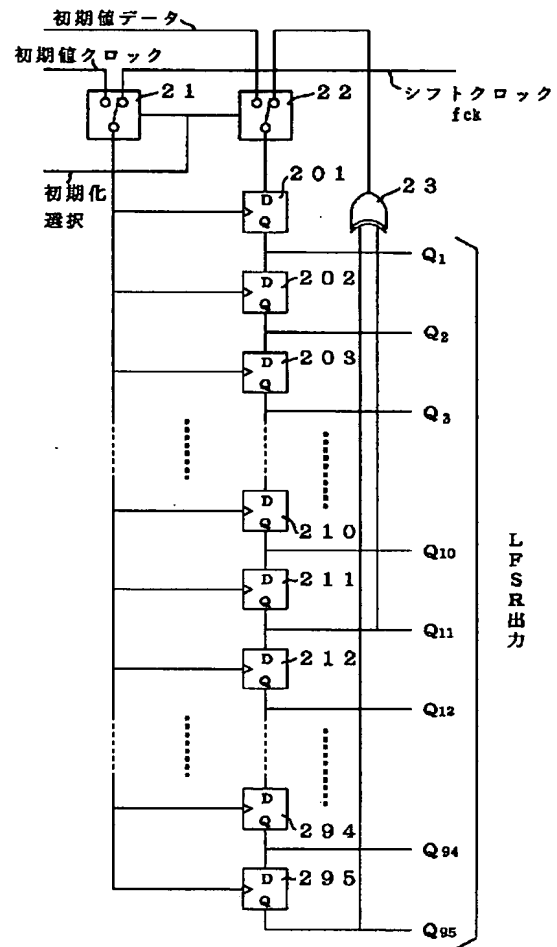
【図22】



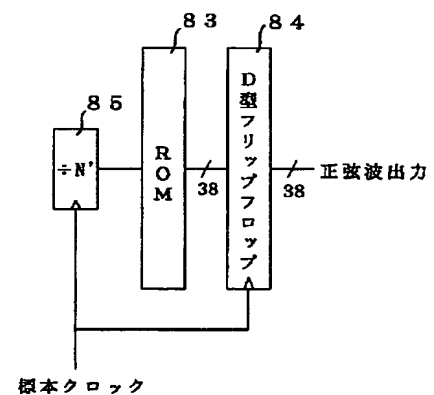
【図5】



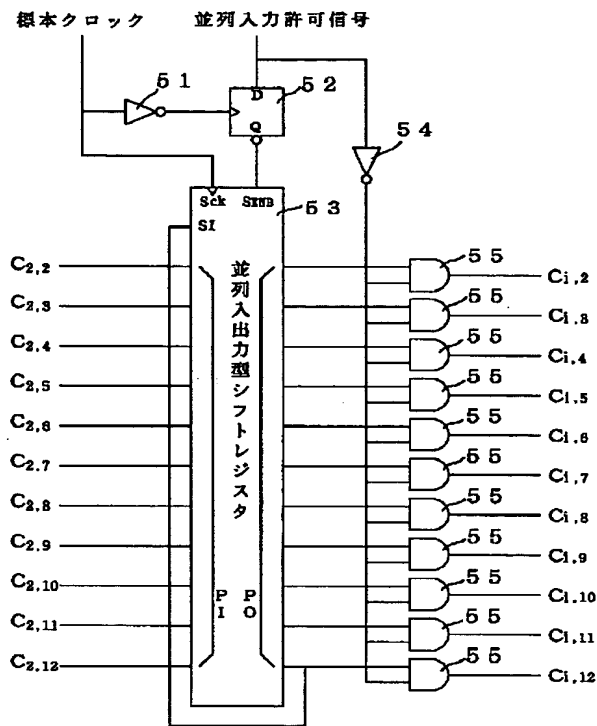
【図 7】



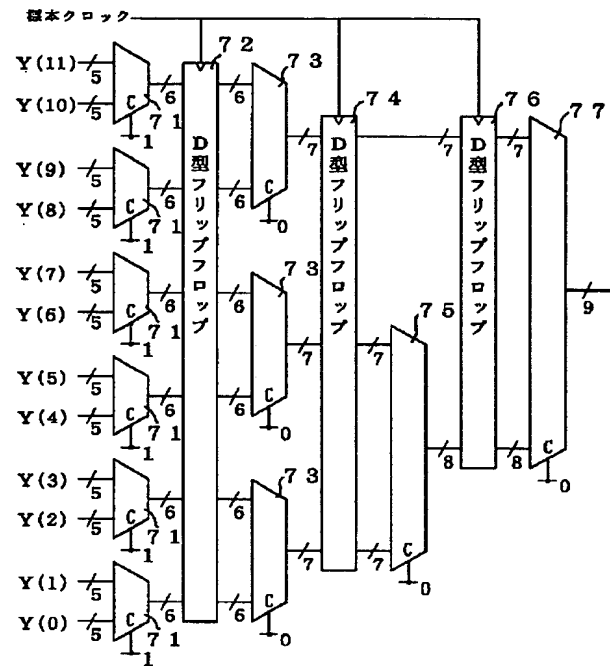
【图 2 1】



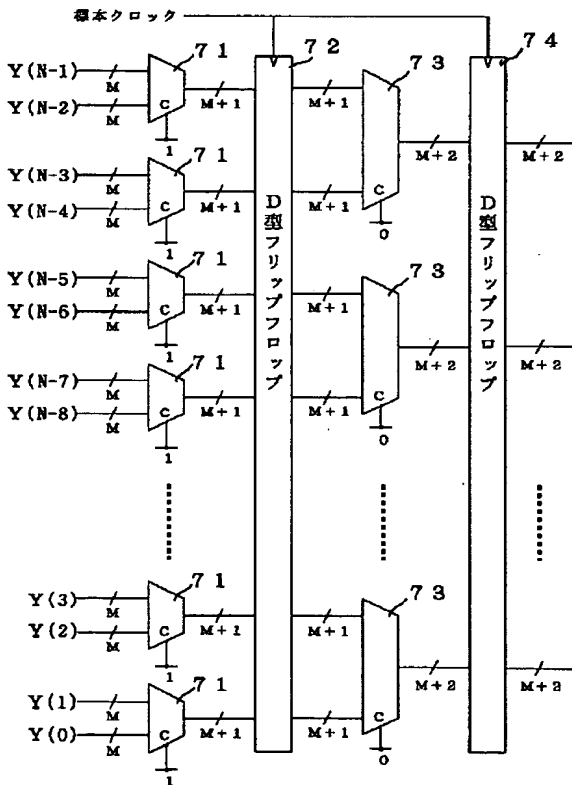
【図9】



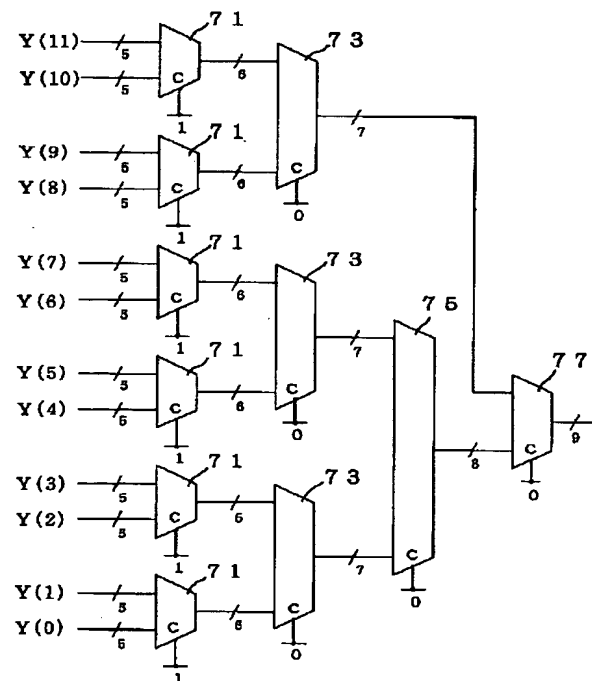
【図11】



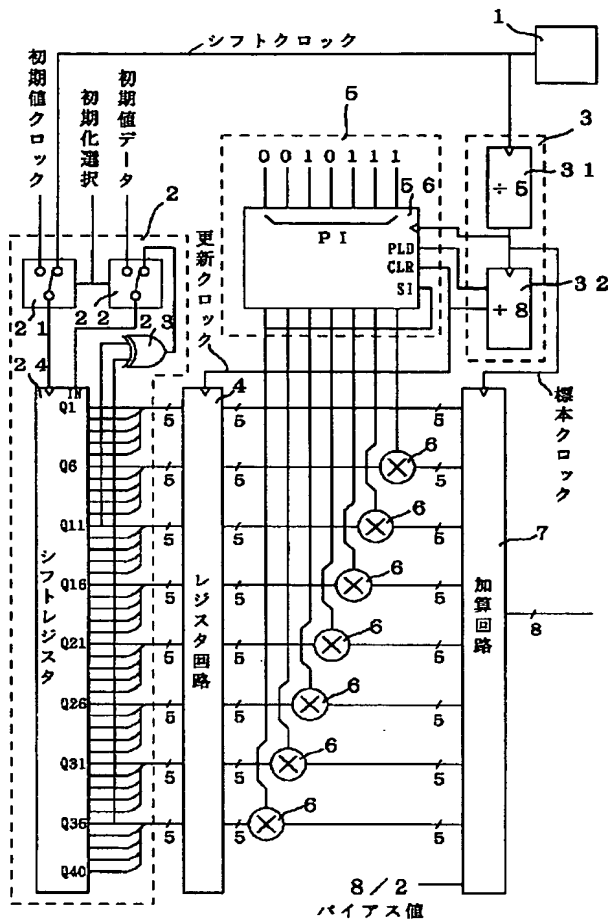
【図12】



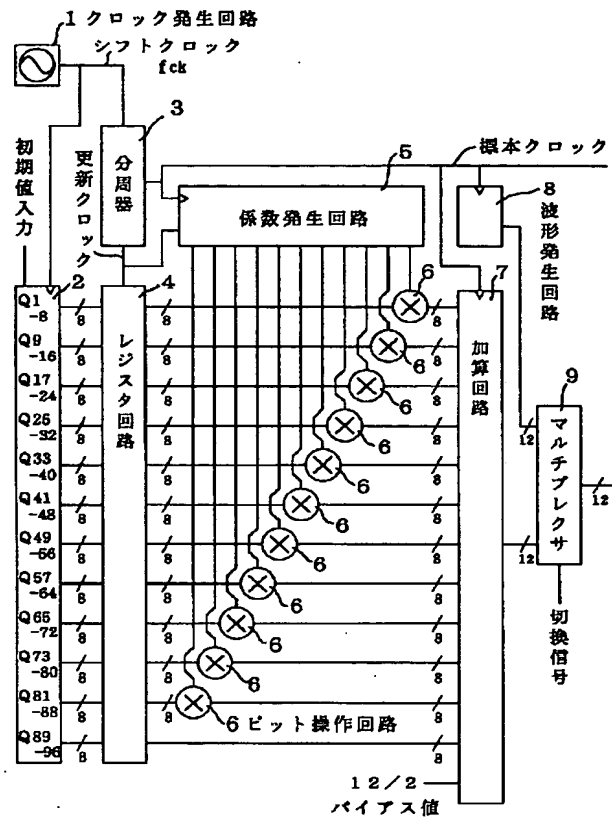
【図13】



【図14】

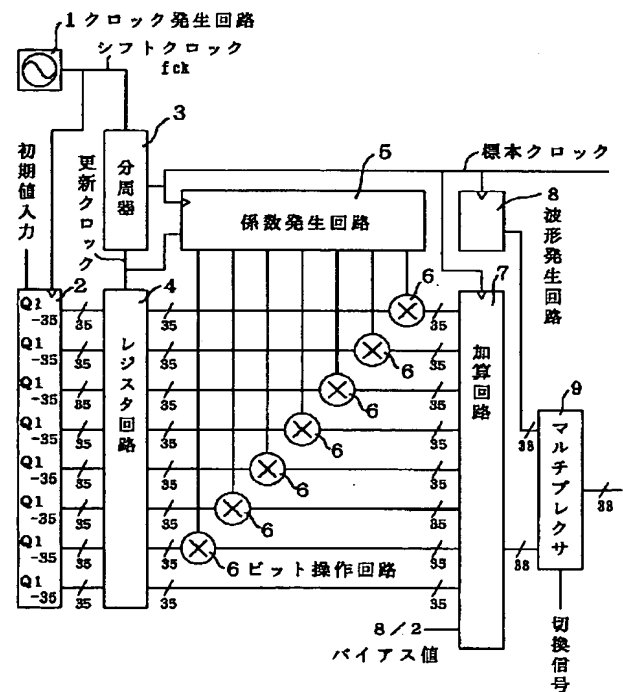
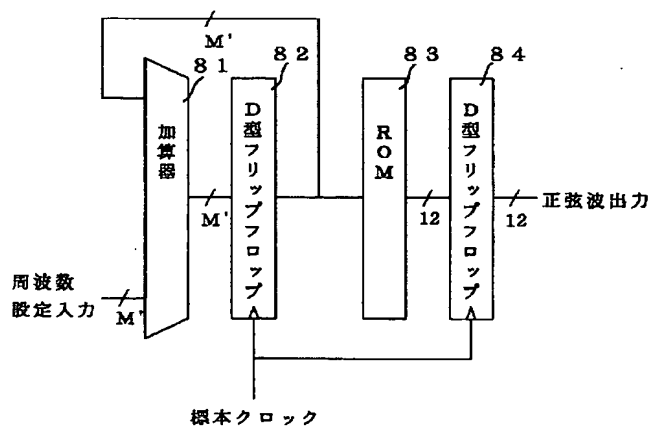


【図15】

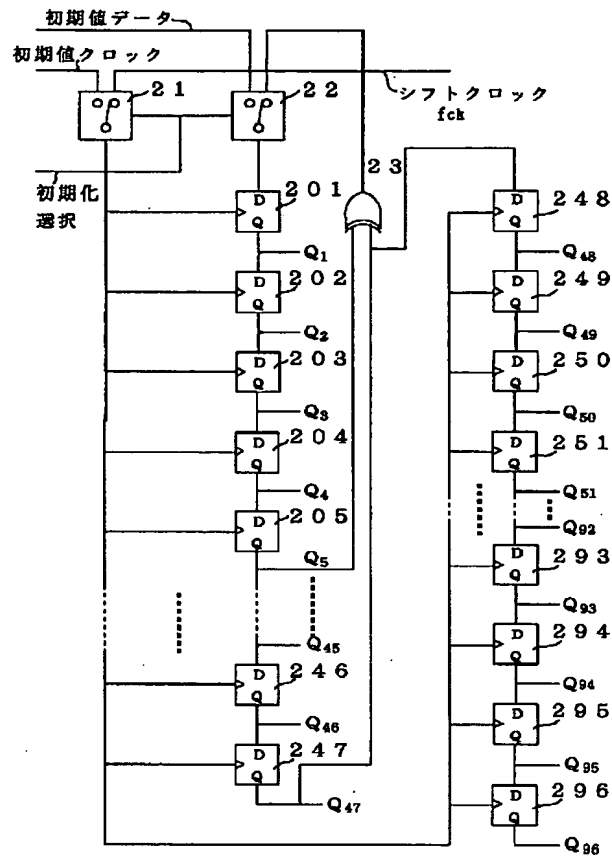


【図19】

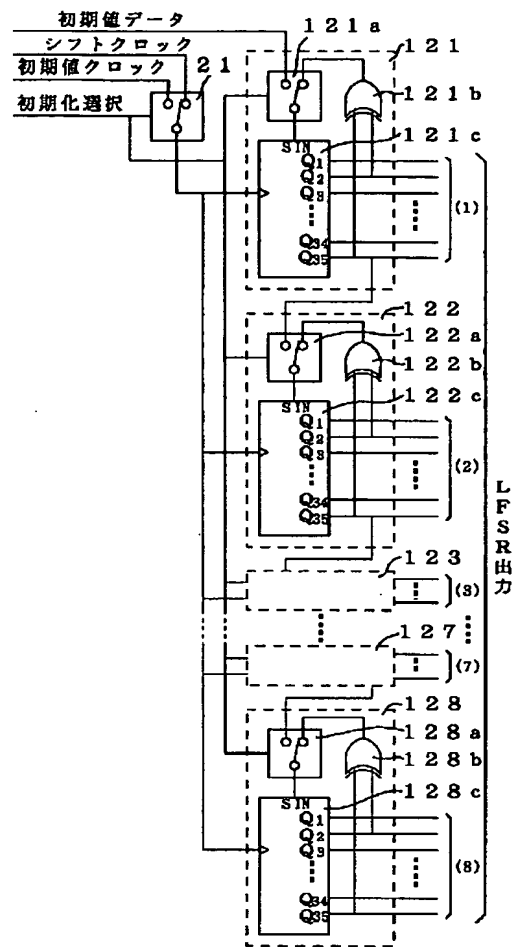
【図18】



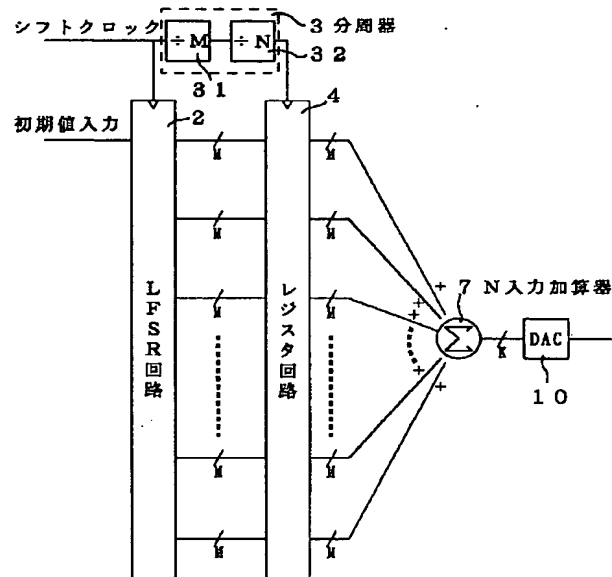
【図16】



【図20】



【図23】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.